

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Februar 2003 (13.02.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/012856 A2

(51) Internationale Patentklassifikation⁷: **H01L 21/50**,
23/10

KRÜGER, Hans [DE/DE]; Peralohstr. 13, 81737
München (DE). **FEIERTAG, Gregor** [DE/DE]; Ruffinistr.
22, 80637 München (DE). **CHRISTL, Ernst** [DE/DE];
Joh.-Mich.-Sailerweg 1, 84137 Vilsbiburg (DE).

(21) Internationales Aktenzeichen: PCT/DE02/02188

(22) Internationales Anmeldedatum:
14. Juni 2002 (14.06.2002)

(74) Anwalt: **EPPING, HERMANN & FISCHER**; Ridler-
strasse 55, 80339 München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): CN, JP, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

(30) Angaben zur Priorität:
101 36 743.0 27. Juli 2001 (27.07.2001) DE

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu
veröffentlichen nach Erhalt des Berichts

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): **EPCOS AG** [DE/DE]; St.-Martin-Str. 53, 81669
München (DE).

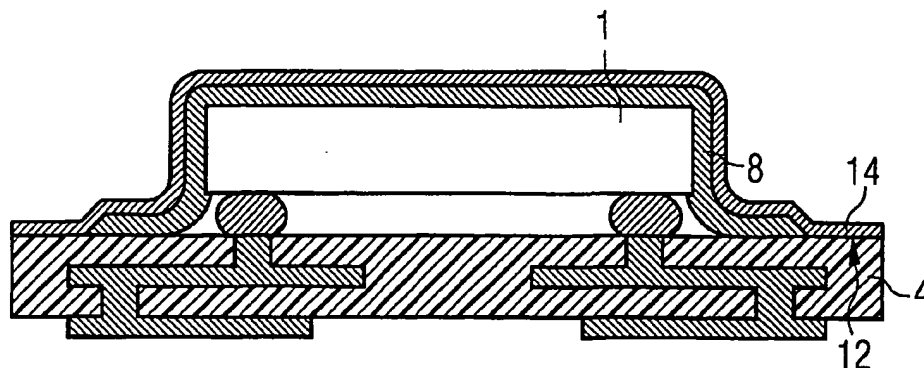
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **STELZL, Alois**
[AT/DE]; Traunsteinerstr. 33, 81549 München (DE).

Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(54) Title: METHOD FOR HERMETICALLY ENCAPSULATING A COMPONENT

(54) Bezeichnung: VERFAHREN ZUR HERMETISCHEN VERKAPSELUNG EINES BAUELEMENTES



(57) Abstract: The invention relates to a method for hermetically encapsulating a component (1) that is mounted in flip-chip design on a support (4). The inventive method is characterized by first covering the component with a film (8) that closely rests on the component and the support, then structuring the film, and providing thereon a hermetically sealing layer (14), especially a metal layer, which seals up with the support.

(57) Zusammenfassung: Zur hermetischen Verkapselung eines in Flip-Chip-Bauweise auf einem Träger (4) aufgebrachten Bauelements (1) wird vorgeschlagen, dieses zunächst mit einer dicht auf dem Bauelement und dem Träger aufliegenden Folie (8) abzudecken, diese zu strukturieren und darüber eine hermetisch abdichtende Schicht (14), insbesondere eine Metallschicht aufzubringen, die hermetisch mit dem Träger abschließt.

WO 03/012856 A2

Beschreibung

Verfahren zur hermetischen Verkapselung eines Bauelementes

- 5 Ein Verfahren zur hermetischen Verkapselung eines Bauelementes ist beispielsweise aus der WO 99/43084 bekannt. Dort werden Bauelemente, insbesondere Oberflächenwellenbauelemente, auf einem mit lötbaren Anschlußflächen versehenen Träger in Flipchiptechnik aufgebracht. Dabei ist das Bauelement über
10 Bumps (Lotkugeln) im lichten Abstand zum Träger so auf diesem aufgelötet, daß die Oberfläche mit den Bauelementstrukturen zum Träger weist. Zur hermetischen Verkapselung der auf dem Träger befindlichen Bauelemente werden diese schließlich mit einer Metallfolie oder einer metallbeschichteten Kunststoffo-
15 lie auf dem Träger von der Rückseite her abgedeckt und verklebt oder laminiert. Die Folie schließt dabei zwischen den auf dem Träger aufgebrachten Bauelementen dicht mit dem Träger ab, so daß eine hermetische Verkapselung für die Bauelementstrukturen entsteht. Vorgeschlagen wird auch, die Verkapselung durch Umpressen oder Vergießen, z. B. mit Epoxidharz
20 weiter zu stabilisieren und weiter hermetisch abzudichten. Anschließend können die Bauelemente durch Auftrennen der Trägerplatte vereinzelt werden.
- 25 Es hat sich herausgestellt, daß die Verwendung einer Metallfolie ebenso wie die Verwendung einer metallbeschichteten Kunststoffolie zur direkten Aufbringung auf die Rückseite des Bauelementes mit Problemen behaftet ist und zu Bauelementen führen kann, deren hermetische Abdichtung unbefriedigend ist.
- 30 Aufgabe der vorliegenden Erfindung ist es daher, ein Verfahren zur Herstellung einer hermetischen Verkapselung anzugeben, welches einfach durchzuführen ist und in sicherer Weise zu einem hermetisch verkapselten Bauelement führt.
- 35 Diese Aufgabe wird erfindungsgemäß durch ein Verfahren mit den Merkmalen von Anspruch 1 gelöst. Vorteilhafte Ausgestal-

tungen der Erfindungen sowie vorteilhafte Anwendungen der Erfindung sind weiteren Ansprüchen zu entnehmen.

Die Erfindung schlägt vor, ein in Flipchipbauweise auf einem
5 Träger aufgebrachtes Bauelement zunächst mit einer ersten Folie zu überdecken, diese im Randbereich um das Bauelement mit der Oberfläche des Trägers zu verbinden, die Folie anschließend zu strukturieren, und als letzten Schritt eine hermetisch abdichtende Schicht über der Folie so aufzubringen, daß
10 sie außerhalb des Randbereiches hermetisch dicht mit dem Träger abschließt.

Durch die Auftrennung der Verkapselung in zwei unabhängig voneinander aufzubringende Schichten ist es möglich, die bei-
15 den Schritte unabhängig voneinander zu optimieren. Der erste Schritt kann dabei so angepaßt werden, daß die Folie im Zusammenwirken mit den Aufbringbedingungen dicht auf Bauelementrückseite und im Randbereich um das Bauelement herum auf dem Träger dicht aufliegt. In einem Zwischenschritt erfolgt
20 die Strukturierung der Folie, wobei insbesondere eine Dimensionierung der abdeckenden Folie erfolgt, die die Größe des verkapselten Bauelementes festlegt. Desweiteren wird bei der Strukturierung außerhalb des Randbereiches, diesen umfassend die Oberfläche des Trägers freigelegt, damit die hermetisch
25 abdichtende Schicht dort in Kontakt mit dem Träger treten kann, um ein dichtes Abschließen mit dem Träger zu gewährleisten.

Die bereits dicht das Bauelement umschließende und auf dem
30 Träger aufliegende Folie ermöglicht es, die hermetische Schicht in einer Vielzahl unterschiedlicher Verfahren aufzubringen. Da das Bauelement unter der Folie abgedeckt ist, sind auch isotrope Schichterzeugungsverfahren, naßchemische Verfahren, Gas- oder Dampfverfahren ebenso wie Plasmaverfahren
35 einsetzbar. Bei geeignet ausgewählter Folie kann die hermetisch abdichtende Schicht auch als Schmelze aufgebracht werden. Im Vergleich zum bekannten Verfahren, bei dem bei-

spielsweise eine metallbeschichtete Kunststoffolie als alleinige Abdeckung verwendet wird, wird bei erfindungsgemäßen Verfahren die Dichtigkeit durch die zwei unabhängig voneinander aufzubringenden Schichten bzw. Folien erheblich verbessert. Während das Aufbringen der Folie auf Formschlüssigkeit hin optimiert sein kann, kann die zweite Schicht auf die Dichtigkeit optimiert werden.

Ein formschlüssiges Aufbringen der Folie auf die Chiprückseite und den Träger gelingt erfindungsgemäß insbesondere mit einer thermoplastischen Folie. Diese läßt sich bei Aufbringung unter erhöhter Temperatur erweichen und unter Druck auf Chiprückseite und Oberfläche des Trägers auflaminieren. Das formschlüssige Aufbringen läßt sich durch Anlegen eines Unterdrucks zwischen Folie und Träger unterstützen.

Als thermoplastisches Material für die Folie sind insbesondere solche Materialien geeignet, die beständig gegen den Kontakt mit stromführenden Metalloberflächen sind, die korrosions- und alterungsstabil sind, keine Ausgasungen zeigen, eine hohe Temperaturbeständigkeit aufweisen und/oder eine ausreichende Haftung auf dem Trägermaterial besitzen. Ein weiteres Kriterium ist die Laminierfähigkeit der entsprechenden Folie, die beim Erweichen und Laminieren während des Aufbringens auf den Chip und den Träger keine Beschädigungen und insbesondere Risse oder Löcher erhalten darf. Geeignet sind insbesondere Folien aus Polyamid- und Polyimid, die eine hohe Thermostabilität aufweisen.

Weitere geeignete Materialien für die Folie sind Duroplaste und Reaktionsharze, beispielsweise Epoxidharze. Wegen der beschränkten Laminiereigenschaften ausgehärteter Duroplaste und Reaktionsharze werden Folien aus solchen Materialien vorzugsweise in einem ungehärteten oder zumindest nichtvollständig ausgehärteten Zustand verwendet. Für Reaktionsharze ist beispielsweise die Technik des Vorhanggießens geeignet, bei dem aus einem flüssigen Polymer, z.B. einem Reaktionsharz, eine

dünne Folie durch Gießen auf ein Substrat hergestellt und anschließend auf dem Substrat gehärtet wird. Bei geeignet eingestellter Konsistenz des Reaktionsharzes läßt sich eine solche Schicht wie eine Folie handhaben.

5

Da die Aufbringung der Folie mit mechanischem Druck auf den Chip und dabei zu einer Verformung der Flip-Chip-Verbindung kommen kann, wird vorteilhaft für die Bumps ein Material hoher Festigkeit gewählt, das beim Aufbringen der Folien keine mechanische Verformung zeigt. Dafür sind insbesondere SnAg, SnAgCu, SnCu, Au oder Leitzkleber geeignet. Damit werden unerwünschte und unkontrollierbare Geometrieänderungen des Bauelements während des Verfahrens vermieden.

15 Zur Strukturierung der aufgetragenen Folie sind verschiedene Techniken geeignet. Möglich ist es beispielsweise, mit Hilfe einer Photolithographie die Bereiche der Folie zu definieren und zu schützen, die auf dem Träger bzw. dem Bauelement verbleiben sollen. Als Strukturierungsmittel kann dann ein naßchemisches oder ein Plasma-Ätzverfahren eingesetzt werden. Möglich ist es jedoch auch, die Strukturierung der Folie direkt vorzunehmen, beispielsweise durch mechanische Schichtabtragungsverfahren oder mittels eines Lasers. Die Strukturierung erfolgt dabei so, daß die Folie in dem Randbereich definierter Breite rund um den Chip, in dem sie auch fest auf dem Träger aufliegt, erhalten bleibt. Die Funktion der Folie als Abdichtung des Bauelementes gegenüber dem Aufbringverfahren der hermetisch abdichtenden Schicht oder als Komponente der gesamten Verkapselung bleibt so erhalten bzw. gewährleistet.

25 Die Folie wird dann außerhalb des Randbereiches zumindest soweit entfernt, daß ringförmig um den Randbereich herum ein ausreichend breiter Oberflächenbereich des Trägers freigelegt wird, um ein dichtes Abschließen der aufzubringenden hermetisch dichten Schicht mit dem Träger zu gewährleisten.

35

In einer weiteren Ausgestaltung der Erfindung ist es möglich, die Folie nicht in einem ausreichend breiten Streifen, son-

5 dern im Bereich von zumindest zwei wesentlich schmalere
Streifen, die im geringen Abstand parallel zum Randbereich
diesen umfassen, zu entfernen. Auf diese Weise wird im Kon-
taktbereich eine hermetische Abdichtung der hermetisch dichten
5 Schicht zum Träger auf einer wesentlich geringeren Fläche
ermöglicht, als bei Verwendung nur eines Streifens. Dadurch
wird die zur hermetischen Verkapselung des Bauelementes er-
forderliche Oberfläche auf dem Träger und damit auch die Grö-
ße des gesamten Bauelementes reduziert. Ausreichend ist es
10 beispielsweise, die Streifen mit einer Breite und in einem
Abstand zueinander auszubilden, der jeweils ungefähr der Dicke
der Folie entspricht. Während bei einem einzigen Kontakt-
streifen für die hermetische Schicht zum Träger eine relativ
große Streifenbreite vorgesehen wird, sind für die z. B. zwei
15 streifenförmigen Kontaktbereiche nur Breiten von beispiels-
weise jeweils ca. 35 μm erforderlich, was einen geringeren
Flächenbedarf erfordert. Bei Bedarf ist es möglich, die Folie
im Bereich von mehr als zwei parallelen Streifen zu entfernen
um die Dichtigkeit der hermetischen Schicht bzw. den dichten
20 Abschluß der hermetischen Schicht gegenüber dem Träger weiter
zu erhöhen. Damit wird auch eine weiter verbesserte Dichtig-
keit der gesamten Verkapselung erhalten.

In einer weiteren Ausgestaltung der Erfindung wird vorge-
25 schlagen, zur Erhöhung der Dichtigkeit der Verkapselung neben
der Oberfläche des Trägers auch einen Bereich der Chipober-
fläche, insbesondere auf der Rückseite oder umlaufend an den
Seitenflächen frei zu legen, um hier einen dichten Kontakt
der hermetisch dichtenden Schicht direkt mit dem Chip zu er-
30 möglichen. Auch hierzu kann die partielle Entfernung der Fo-
lie in einem streifenförmigen Bereich mit Hilfe einer Laser-
technik erfolgen, wobei der Streifen entweder auf den seitli-
chen Außenflächen des Chips verläuft und ringförmig geschlos-
sen ist oder auf der Rückseite des Chips angeordnet ist und
35 in der Nähe der Außenkanten des Chips verläuft. Möglich ist
es jedoch auch, einen Teil der Rückseite oder die gesamte
Rückseite des Chips mit dem verwendeten Strukturierungsver-

6.

fahren, beispielsweise auch mit einer Photolithographie-Technik freizulegen.

In einer weiteren Ausgestaltung der Erfindung, kann der Chip auf der Rückseite mit zumindest einer Teilmetallisierung versehen werden, vorzugsweise aber ganzflächig metallisiert werden. Auf diese Weise kann eine gut wärmeleitende Verbindung zwischen Chip und hermetisch abdichtender Schicht hergestellt werden, was durch die verwendete Folie allein nicht unbedingt gewährleistet ist. Die Rückseitenmetallisierung kann darüber hinaus mit den Bauelementstrukturen auf der zur Oberfläche des Trägers weisenden Vorderseite des Chips verbunden sein. Auf diese Weise gelingt eine zusätzliche Anschlußmöglichkeit für die Bauelementstrukturen auf der Rückseite des Chips.

Vorzugsweise wird als hermetisch abdichtende Schicht eine Metallschicht aufgebracht. Diese kann insbesondere in einem mehrstufigen Verfahren erzeugt werden, wobei zunächst eine Grundmetallisierung ganzflächig auf Folie und im Kontaktbereich freigelegte Oberfläche des Trägers aufgebracht wird, die in einem anschließenden Schritt verstärkt wird. Vorzugsweise wird zur Erzeugung einer Grundmetallisierung ein Sputter-Verfahren oder ein stromloses Metallabscheidungsverfahren oder eine Kombination beider Verfahren verwendet. Vorteilhaft läßt sich beispielsweise eine Grundmetallisierung durch Sputtern von Kupfer und/oder Nickel erzeugen. Zur stromlosen Abscheidung auf nichtleitenden Oberflächen wie beispielsweise der Folie sind insbesondere Kupferabscheidebäder bekannt. Das stromlose Abscheideverfahren hat außerdem den Vorteil, daß es eine Metallabscheidung auch an solchen Stellen des Bauelementes sicher stellt, die für das Sputtern nicht zugänglich sind. An solchen Stellen könnten mit anderen Verfahren elektrisch nicht leitende Bereiche entstehen, die dann auch nicht mehr verstärkt werden können. Diese Stellen wären dann potentielle Undichtigkeiten für das Bauelement und werden durch die Verwendung der stromlosen Metallabscheidung vermieden. Vorzugsweise wird die stromlose Metallabscheidung nach dem

Aufsputtern einer Grundmetallisierung durchgeführt, da insbesondere eine aufgesputterte Titan/Kupferschicht Vorteile bezüglich einer guten Haftung auf der Folie aufweist und eine Diffusion von Feuchte in das Bauelement-Innere während des nachfolgenden naßchemischen bzw. elektrochemischen Prozesses weitgehend verhindert.

Zur Verstärkung der Grundmetallisierung sind insbesondere galvanische Verfahren geeignet, insbesondere wenn bereits eine durchgängige und dichte Grundmetallisierung vorliegt. Zur galvanischen Verstärkung ist insbesondere die Abscheidung von Kupfer geeignet, die anschließend noch mit einer dünneren Schicht eines korrosionsinhibierenden Metalles abgedeckt wird, beispielsweise mit Nickel oder einem Edelmetall. Möglich ist es jedoch auch, die Metallschicht durch stromlose Abscheidung entweder direkt auf das Bauelement oder auf die Grundmetallisierung bis zur gewünschten Dicke zu erzeugen. Möglich ist es jedoch auch, die Metallschicht mit oder ohne Grundmetallisierung durch Aufdampfen eines Metalls oder durch Inkontaktbringen des Bauelements mit einer Metallschmelze zu erzeugen. Geeignet sind auch Kombinationen der angegebenen Verfahren.

Die Dicke der Metallschicht, die als hermetisch abdichtende Schicht verwendet wird, wird in Abhängigkeit von den gewünschten Eigenschaften gewählt. Eine ausreichende Dichtigkeit wird bereits mit wenigen μm erhalten. Wird die hermetisch abdichtende Schicht bzw. die Metallschicht zur HF Abschirmung von elektronischen Bauelementen verwendet, insbesondere zur Abschirmung von HF Frequenzen arbeitenden Bauelementen, so kann eine höhere Dicke zum Erreichen der gewünschten HF Abschirmung gegen äußere Einflüsse oder zur Abschirmung gegenüber Abstrahlung aus dem Bauelement erforderlich sein. Geeignet sind generell Metallschichten ab einer Dicke von ca. 3 bis 14 μm .

Wird die Metallschicht zur HF-Abschirmung verwendet, so wird sie vorzugsweise mit Masse verbunden. Dies kann dergestalt erfolgen, daß auf dem Träger im Kontaktbereich, der direkt mit der Metallschicht in Kontakt steht, eine Metallisierung vorgesehen ist, die mit dem Masseanschluß des Bauelementes verbunden ist. Beispielsweise kann diese Metallisierung mit einer Durchkontaktierung durch den Träger kontaktiert sein, die wiederum mit Masseanschlüssen auf der Unterseite des Trägers elektrisch leitend verbunden ist. In einer weiteren Ausgestaltung der Erfindung wird die Metallschicht sowohl mit einem elektrischen Anschluß auf dem Träger als auch mit der Chiprückseite verbunden. Dazu ist es erforderlich, die Chiprückseite zumindest im Bereich dieses Kontaktes bei der Strukturierung oder in einem separaten Schritt von der Folie zu befreien, bzw. die Chiprückseite dort vor dem Aufbringen der hermetisch abdichtenden Schicht freizulegen. Hierzu wird ein Chip verwendet, der auf der Chiprückseite eine Metallisierung aufweist. Die elektrische Anbindung dieser Metallisierung über die Metallschicht der hermetisch abdichtenden Schicht mit einem elektrischen Bauelement Anschluß beispielsweise auf der Unterseite des Trägers kann dann zur elektrischen Abstimmung des Bauelementes, insbesondere zur elektrischen Abstimmung eines mit akustischen Wellen arbeitenden Bauelementes, insbesondere eines Filters dienen.

In einer weiteren Ausgestaltung der Erfindung wird direkt auf der Chiprückseite vor oder nach dem Aufbringen der Folie, wenn im letzteren Fall beim Strukturieren die Rückseite des Chips frei gelegt wird, eine Schicht aufgebracht, die zur Dämpfung von Volumenwellen geeignet ist, wobei das Bauelement in diesem Fall ein mit akustischen Oberflächenwellen arbeitendes Bauelement ist. Eine solche Volumenwellen dämpfende Schicht ist akustisch an das Material des Chips angepaßt und weist einen zur Dämpfung geeigneten E-Modul auf. Solche Materialien sind hinlänglich bekannt.

Weiterhin ist zur Erzeugung einer hermetisch abdichtenden Schicht auch das Aufbringen von anorganischen und keramischen Materialien geeignet, beispielsweise Siliziumdioxid, Glas oder Siliziumcarbid. Insbesondere Materialien auf der Basis von Siliziumdioxid und insbesondere Gläser lassen sich in einer Reihe von Dünnschichtverfahren erzeugen bzw. auf beliebige Oberflächen aufbringen. Gläser haben den Vorteil, daß sie auf Grund ihres niedrigen Schmelzpunktes mittels eines Tempereschritts erweicht und verdichtet werden können. Durch das Erweichen wird auch ein Verfließen und damit eine gute oberflächenkonforme Flächenabdeckung erzielt.

Zur weiteren Ausgestaltung der erfindungsgemäßen Verkapselung wird vorgeschlagen, auf dem Träger über der hermetisch abdichtenden Schicht noch eine Kunststoffabdeckung aufzubringen, einen sogenannten Glob Top. Dieser wird in zunächst flüssiger aber zumeist viskoser Form ganzflächig auf den Träger über der hermetisch abdichtenden Schicht aufgebracht, vorzugsweise bis zu einer solchen Höhe, daß eine einheitliche Schichtdicke über dem Träger, bzw. eine ebene Oberfläche des gesamten Bauelements erhalten wird. Als Glob Top Abdeckmassen sind insbesondere Reaktionsharze geeignet. Möglich ist es jedoch auch, thermoplastische Pressmassen dazu zu verwenden. Während die Reaktionsharze auch aufgetropft bzw. vergossen werden können, ist zum Aufbringen von Pressmassen eine entsprechende Spritzform erforderlich.

Für den erfindungsgemäß verwendeten Träger ist ein mechanisch und elektrisch angepaßtes Material oder eine Kombination solcher Materialien geeignet. Das Trägermaterial weist vorzugsweise ausreichend mechanische Festigkeit auf und ist außerdem hermetisch dicht gegenüber Gasen und Feuchtigkeit. Vorzugsweise wird ein Träger mit mehrschichtigem Aufbau verwendet, welcher auf der Oberfläche Metallisierungen zur Kontaktierung des Bauelements über Bumps aufweist, und der an der Rückseite Anschlußmetallisierungen zum Verbinden mit einer Leiterplatte, insbesondere in SMD Technik besitzt. Zwischen zwei

Schichten können Verdrahtungsebenen vorgesehen sein, wobei die Verbindung zwischen den unterschiedlichen Ebenen bzw. den Zwischenebenen und der Ober- und Unterseite des Trägers über Durchkontaktierungen erfolgt. Zur Erhöhung der Dichtigkeit sind alle Durchkontaktierungen von der Oberseite zur Unterseite des Trägers nicht durchgehend und zumindest seitlich gegeneinander versetzt. Für den Träger sind eine Vielzahl von Materialien geeignet, beispielsweise Aluminiumoxid, Glas, HTCC, LTCC oder organische Träger wie beispielsweise PCB oder Folienmaterialien wie Kapton[®] oder Mylar[®]. Um bei zunehmender Miniaturisierung der Bauelemente noch eine zuverlässige Kontaktierung zu erreichen, insbesondere beim Flipchip Bonden des Bauelements auf den Träger, ist eine LTCC Keramik von Vorteil, die auf Grund ihres geringen Schwunds beim Brennen eine exakt vorherbestimmte Geometrie der Metallisierungen aufweist. Träger aus organischen Materialien können zwar ebenfalls mit exakter Geometrie hergestellt werden, weisen dafür jedoch eine geringere Dichtigkeit gegenüber Umwelteinflüssen auf.

Ein Träger kann zur Verbindung mit genau einem Chip eingesetzt werden und ist dann vorzugsweise entsprechend den Chipabmessungen dimensioniert. Möglich ist es jedoch auch, einen Träger zur Aufnahme mehrerer Chips vorzusehen, welcher dann entsprechend getrennte bzw. auftrennbare Metallisierungen zum Anschließen der einzelnen Chips aufweist. Nach dem Aufbringen der Chips auf den Träger mittels Flipchiptechnik kann das erfindungsgemäße Verfahren zur Verkapselung für alle Bauelemente bzw. für den gesamten Träger auf einmal durchgeführt werden. Abschließend kann der Träger dann in die einzelnen Chips vereinzelt werden, indem der Träger zwischen den Chips aufgetrennt wird. Dies kann beispielsweise mittels Sägen, Brechen oder anderer Trennverfahren erfolgen.

In einer weiteren Ausgestaltung wird die Erfindung zur Verkapselung eines Moduls verwendet. In diesem Fall stellt der Träger das Modulsubstrat dar, auf dem das genannte Bauelement

- zusammen mit weiteren gleichartigen oder unterschiedlichen Bauelementen aufgebracht ist. Die weiteren Bauelemente können dabei sowohl in Flipchiptechnik als auch in SMD Technik auf dem Modul aufgebracht sein. Wesentlich ist jedoch, daß das
- 5 gesamte Modul durch Abdeckung mit Folie, Strukturierung der Folie und Aufbringen einer hermetisch abdichtenden Schicht verkapselt werden kann. Zur Herstellung solcher Module sind insbesondere LTCC-Keramiken geeignet.
- 10 Eine vorteilhafte Anwendung findet das erfindungsgemäße Verfahren zur Verkapselung von Oberflächenwellenbauelementen, deren Bauelementstrukturen einerseits nicht mit zusätzlichen Schichten abgedeckt werden können, die aber andererseits be-
- 15 sonders empfindlich gegen Korrosion und andere äußere Einflüsse sind und daher einer hermetischen Verkapselung bedürfen. Darüber hinaus ist bei Oberflächenwellenbauelementen das Bedürfnis zur weiteren Miniaturisierung besonders ausgeprägt, um bei der bevorzugten Anwendung in mobilen Geräten der Tele-
- 20 kommunikation eine zusätzliche Volumen- und Gewichtsersparnis zu erreichen. Mit der erfindungsgemäßen Verkapselung wird eine besonders kleine und leichte Verpackung bzw. Verkapselung der Bauelemente, hier der Oberflächenwellenbauelemente, erreicht.
- 25 Eine weitere Gruppe empfindlicher Bauelemente, die mit der erfindungsgemäßen Verkapselung zuverlässig und dicht verkapselt werden können, sind Sensoren. Möglich ist es daher auch, optische und insbesondere optoelektronische Bauelemente er-
- 30 findungsgemäß zu verkapseln. In diesem Fall werden insbesondere lichtdurchlässige Materialien und insbesondere ein lichtdurchlässiger Träger verwendet. Möglich ist es auch, zur Verkapselung von optischen Bauelementen die Rückseite des Bauelements zumindest teilweise von einzelnen oder allen
- 35 Schichten der Verkapselung freizuhalten.
- Im folgenden wird die Erfindung an Hand von Ausführungsbeispielen und der dazugehörigen Figuren näher beschrieben.

Figur 1 zeigt im schematischen Querschnitt ein auf einem Träger Flip Chip gebondetes Bauelement

- 5 Figur 2 zeigt im schematischen Querschnitt das Bauelement mit der darüber aufgebrauchten Folie

- Figur 3 zeigt das Bauelement im schematischen Querschnitt mit unterschiedlichen streifenförmigen Strukturierungsmöglichkeiten
10 ten

Figur 4 zeigt das Bauelement in der Draufsicht nach einer streifenförmigen Strukturierung

- 15 Figur 5 zeigt das Bauelement in der Draufsicht nach einer varierten Strukturierung

Figur 6 zeigt das Bauelement im schematischen Querschnitt nach dieser Strukturierung

- 20 Figur 7 zeigt das Bauelement nach dem Aufbringen der hermetisch abdichtenden Schicht

- Figur 8 zeigt im schematischen Querschnitt die Kontaktierung einer Rückseitenmetallisierung auf dem Chip mit der hermetisch abdichtenden Schicht
25 tisch abdichtenden Schicht

- Figur 9 zeigt im schematischen Querschnitt die elektrische Kontaktierung der hermetischen Schicht mit einem Masseanschluß auf der Unterseite des Trägers
30 schluß auf der Unterseite des Trägers

Figur 10 zeigt das Bauelement nach dem Aufbringen einer Glob Top-Kunststoffabdeckung

- 35 Figur 11 zeigt ein Bauelement mit einer Volumenwellen dämpfenden Schicht auf der Rückseite des Chips

Figur 1 zeigt im schematischen Querschnitt einen Chip 1, der auf seiner Unterseite Bauelementstrukturen 2 trägt, und beispielsweise als Oberflächenwellenbauelement ausgebildet ist. Über Bump-Lötverbindungen 3 ist der Chip 1 mit metallischen Anschlußflächen auf einem Träger 4 verbunden. Der Träger 4 ist hier zweischichtig aufgebaut und weist eine Mehrlagenverdrahtung auf. Die mittlere Metallisierungsebene 5 dient zur Verschaltung und falls erforderlich zur Abdichtung der Durchkontaktierungen 7. Über die Durchkontaktierungen 7 und die Bumps 3 sind die Bauelementstrukturen 2 mit den mit Anschlußmetallisierungen 6 auf der Unterseite des Trägers verbunden. Die Durchkontaktierung 7 durch getrennte Schicht des Trägers sind dabei stets seitlich gegeneinander versetzt, so daß durch den gesamten Träger 4 durchgängige Bohrungen vermieden werden, die potentielle Undichtigkeiten für die hermetische Verkapselung des Bauelements darstellen.

Figur 2: Über die Rückseite des Bauelements 1 und den gesamten Träger 4 wird nun eine aus Kunststoff bestehende Folie 8 aufgebracht und durch Temperaturerhöhung und unter Druck auf die Rückseite des Chips 1 und die sie umgebende Oberfläche des Trägers 4 auflaminiert. Dabei entsteht in einem dem Chip 1 umschließenden Randbereich 13 eine dichte Verbindung der Folie 8 mit der Oberfläche des Trägers 4.

Figur 3 zeigt im schematischen Querschnitt, wie mit Hilfe streifenförmiger Strukturierungen 9 der Kunststoffolie 8 ebenso streifenförmige Bereiche der Trägeroberfläche freigelegt werden.

Figur 4 zeigt in schematischer Draufsicht auf den Träger 4 den darauf aufgebondeten Chip 1 und eine beispielhafte Anordnung dieser streifenförmigen Strukturierungen 9. Unter Belassung eines Randbereichs 13 um den Chip 1 verlaufen die streifenförmigen Strukturierungen 9 parallel zur Chipaußenkante bzw. parallel zum Randbereich. In den streifenförmigen Strukturierungen kann die im späteren Verfahrensschritt auf-

gebrachte hermetisch abdichtende Schicht mit der Oberfläche des Trägers 4 hermetisch abschließen.

In Figur 3 sind weitere Möglichkeiten für streifenförmige
5 Strukturierungen 10 entlang der Seitenwände des Chips 1 und
Strukturierungen 11 auf der Rückseite des Chips. Diese können
einzeln oder in Kombination ebenfalls dazu dienen, die spätere
hermetisch abdichtende Schicht in innigen (hermetischen)
Kontakt mit dem Chipkörper zu bringen. Doch wird eine ausrei-
10 chende hermetische Abdeckung bereits ohne diese zusätzlichen
Strukturierungen 10 und 11 erreicht.

Figur 5 zeigt in schematischer Draufsicht auf die Oberfläche
des Trägers und den Chip 1 eine weitere Möglichkeit, die Fo-
15 lie 8 zu strukturieren. Um den den Chip 1 umgebenden Randbe-
reich 13 herum wird die Folie 8 in einem breiten und bei-
spielsweise 200 μm breiten Streifen entfernt.

Figur 6 zeigt das Bauelement nach dieser Strukturierungsvari-
20 ante im schematischen Querschnitt. Der Kontaktstreifen 12 ist
nun frei von Folie, im Randbereich 13 dagegen sitzt die Folie
dicht auf dem Träger 4 auf.

Auf die nach einem der genannten Verfahren strukturierte Fo-
25 lie 8 wird nun als hermetisch abdichtende Schicht eine Me-
tallschicht 14 aufgebracht. Dazu wird vorzugsweise zunächst
eine metallische Grundschrift durch Aufspucken von Titan und
Kupfer erzeugt. Diese Schicht hat beispielsweise eine Dicke
von weniger als ein μm . Zur Vermeidung nicht metallisierter
30 Folienbereiche wird die Grundmetallisierung anschließend
durch stromlose Abscheidung von beispielsweise Kupfer um ca.
1 bis 12 μm verstärkt. Anschließend kann die stromlos abge-
schiedene Metallisierung noch galvanisch verstärkt werden,
beispielsweise ebenfalls mit Kupfer. Anschließend wird eine
35 ca. 2 μm dicke Nickelschicht (insbesondere zum RF Shielding)
aufgebracht. Vorteilhaft wird die Metallisierung an die ther-
mische Ausdehnung des Trägers angepaßt. Als Ergebnis wird ei-

ne hermetisch dichte Metallschicht 14 erhalten, die allseits gut auf der strukturierten Folie 8 aufliegt und die im frei strukturierten Rand 12 (Kontaktbereich) bzw. alternativ in der streifenförmigen Strukturierung 9 in Kontakt mit der
5 Oberfläche des Trägers 4 tritt. Dieser Kontakt bildet um den Chip herum einen hermetischen Abschluß zum Träger 4.

Figur 8 zeigt im schematischen Querschnitt eine weitere Ausgestaltung der Erfindung, bei der der Chip 1 zumindest in
10 Teilbereichen seiner Rückseite eine Rückseitenmetallisierung 16 aufweist. Beim Strukturieren der Folie 8 wird die Rückseitenmetallisierung 16 zumindest teilweise freigelegt. Im dargestellten Ausführungsbeispiel ist die Rückseitenmetallisierung 16 an der Stelle 15 punkt- bzw. streifenförmig freigelegt.
15 Beim Aufbringen der hermetisch dichten Schicht bzw. der Metallschicht 14 kann diese an der Stelle 15 in elektrisch leitenden Kontakt mit der dort freigelegten Rückseitenmetallisierung 16 treten.

Figur 9 zeigt eine Ausgestaltung, bei der die die hermetische Schicht 14 bildende Metallschicht mit einer Metallisierung 17 überlappt und so einen elektrischen Kontakt herstellt. Die Metallisierung 17 ist elektrisch leitend mit einem auf der Unterseite des Trägers 4 ausgebildeten Masseanschluß verbunden.
20 Dadurch ist es möglich, die hermetische Schicht 14 an frei definierbaren Randstellen mit Masse zu verbinden, wodurch eine bessere HF Abschirmung des Bauelements erreicht wird.
25

Figur 10 zeigt im schematischen Querschnitt eine weitere Ausgestaltung der Erfindung einer Glob Top-Abdeckung über der hermetisch dichten Schicht. Diese Kunststoffabdeckung 18 ist hier in einer solchen Höhe aufgebracht, daß sie eine ebene Oberfläche parallel zur Oberfläche des Trägers ausbildet.
30 Diese beispielsweise aus Reaktionsharz ausgeführte Abdeckung führt zu einem weiter verbesserten hermetischen Abschluß des Bauelements gegen die Umwelt.
35

- Figur 11 zeigt eine weitere Ausgestaltung der Erfindung bei der die Folie 8 und die hermetische Abdeckung 14 mit einer Volumenwellen dämpfenden Schicht 19 kombiniert ist. In der dargestellten Ausführung ist die Volumenwellen dämpfende Schicht 19 vor der Aufbringung des Chips auf der Rückseite des Chips aufgebracht. Nicht dargestellt ist die Möglichkeit, über der Volumenwellen dämpfenden Schicht 19 die Folie im Bereich der Rückseite zu entfernen. Möglich ist es auch, die Volumenwellen dämpfende Schicht 19 im Bereich der Rückseite oberhalb der Folie 8, aber unterhalb der hermetisch abdichtenden Schicht 14 aufzubringen, beispielsweise vor der Strukturierung der Kunststoffschicht.
- Die Erfindung konnte zwar nur an Hand weniger konkreter Ausführungsbeispiele erläutert werden, ist jedoch natürlich nicht auf diese beschränkt. Im Rahmen der Erfindung liegen weitere Variationsmöglichkeiten bezüglich der Wahl der Materialien, der Strukturierung oder der Kombination nur in einzelnen Figuren dargestellter Merkmale.

Patentansprüche

1. Verfahren zur Herstellung einer hermetischen Verkapselung für ein elektronisches Bauelement mit den Schritten:
 - 5 a) Befestigen und elektrisches Kontaktieren eines auf einem Chip (1) aufgebauten Bauelements auf einem elektrischen Anschlußflächen (7) aufweisenden Träger (4) so, daß die Bauelementstrukturen (2) tragende Vorderseite des Chips zum Träger weist und nach der Befestigung im lichten Abstand
10 zu diesem angeordnet ist
 - b) Überdecken der Rückseite des Chips mit einer Folie (8) aus Kunststoff so, daß die Ränder der Folie den Chip überlappen
 - c) dichtes Verbinden der Folie (8) mit dem Träger (4) im gesamten Randbereich (13) rund um den Chip
15
 - d) Strukturieren der Folie so, daß die Folie außerhalb des Randbereichs zumindest teilweise entfernt wird
 - e) Aufbringen einer hermetisch abdichtenden Schicht (14) über den Folie so, daß die abdichtende Schicht in einem Kontaktbereich außerhalb des Randbereichs (13) mit dem Träger
20 hermetisch abschließt.
2. Verfahren nach Anspruch 1,
bei dem im Verfahrensschritt b) und c) eine thermoplastische
25 Folie (8) verwendet wird, die den Chip (1) überlappend aufgelegt und unter Druck und erhöhter Temperatur auf die Chiprückseite und den Träger (4) laminiert wird.
3. Verfahren nach Anspruch 1 oder 2,
30 bei dem im Verfahrensschritt e) zunächst eine Grundmetallisierung auf die Folie (8) und die umgebende Oberfläche des Trägers (4) aufgebracht wird und diese anschließend stromlos und/oder galvanisch verstärkt wird.
- 35 4. Verfahren nach Anspruch 1 oder 2,
bei dem im Verfahrensschritt e) zunächst eine Grundmetallisierung stromlos auf die Folie (8) und die umgebende Oberfläche

che des Trägers (4) aufgebracht anschließend auf die erforderliche Dicke verstärkt wird durch zumindest einen der Schritte Sputtern, Aufdampfen, stromlose Abscheidung, galvanische Abscheidung, Inkontaktbringen mit einer Metallschmelze oder durch eine Kombination der Verfahren.

5. Verfahren nach einem der Ansprüche 1-4, bei dem die Folie (8) im Verfahrensschritt c) in zumindest zwei in geringem Abstand zueinander parallel zum Randbereich verlaufenden Streifen (9) durch Laserablation entfernt wird, wobei die Oberfläche des Trägers (4) oder eine darauf befindlichen Metallisierung (17) frei gelegt wird.

6. Verfahren nach Anspruch 5, bei dem die Streifen (9) mit einer Breite und einem Abstand ausgebildet werden, der ungefähr der Dicke der Folie (8) entspricht.

7. Verfahren nach einem der Ansprüche 1-6 bei dem auf der Rückseite des Chips (1) eine Metallisierung (16) erzeugt wird, und bei dem vor dem Aufbringen der hermetisch abdichtenden Schicht (14) die Folie (8) auf der Rückseite im Bereich der Metallisierung (16) zumindest teilweise entfernt wird.

8. Verfahren nach einem der Ansprüche 1-7 bei dem die Folie (8) im Verfahrensschritt b) mittels Vorhanggießens aufgebracht wird.

9. Verfahren nach einem der Ansprüche 1-8, bei dem außerhalb des Randbereichs (13) auf dem Träger (4) eine mit einem Masseanschluß des Trägers (4) verbindbare Anschlußmetallisierung (17) vorgesehen wird, die mit der hermetisch abdichtenden Schicht (14) überlappt und diese elektrisch kontaktiert.

10. Verfahren nach einem der Ansprüche 1-9,

bei dem nach Verfahrensschritt e) eine Kunststoffabdeckung (18) in zunächst flüssiger Form ganzflächig auf den Träger (4) und die mit der hermetischen Schicht (14) abgedeckte Rückseite des Chips (1) so aufgebracht wird, daß die Kunststoffabdeckung (18) nach dem Erhärten eine annähernd ebene Oberfläche ausbildet.

11.Verfahren nach Anspruch 1-10,
bei dem ein Oberflächenwellen Bauelement verwendet wird und
10 bei dem direkt auf die Rückseite des Chips (1) oder auf die Folie (8) über der Rückseite eine zusätzliche, im Wesentlichen organische und Volumenwellen dämpfende Schicht (19) aufgebracht wird.

15 12.Verfahren nach einem der Ansprüche 1-11,
bei dem als hermetisch abdichtende Schicht (14) eine anorganische Schicht aufgebracht wird, ausgewählt aus SiO_2 , SiC oder Glas.

20 13.Verfahren nach einem der Ansprüche 1-12,
bei dem zur Strukturierung der Folie (8) eine Photostrukturierung eingesetzt wird.

14.Verfahren nach einem der Ansprüche 1-13,
25 bei dem der Träger (4) ein Modul ist, auf dem weitere Chips (1) und/oder andere Bauelemente in der genannten Weise aufgebracht, mit dem Träger kontaktiert und gemäß den Verfahrensschritten b) bis e) verkapselt werden.

30 15.Verfahren nach einem der Ansprüche 1-13,
bei dem mittels der Verfahrensschritte a) bis e) mehrere Chips (1) auf einem gemeinsamen Träger (4) befestigt, kontaktiert und verkapselt werden, und bei dem die Chips anschließend durch Auftrennen des gemeinsamen Trägers zwischen den
35 Chips außerhalb der genannten Randbereiche (13) vereinzelt werden.

16. Verfahren nach einem der Ansprüche 1-15,
bei dem als Träger (4) eine insbesondere mehrlagige Platte
mit lötbaren Metallsierungen auf der dem Chip (1) zugewandten
Seite und mit diesen elektrisch leitend verbundenen An-
schlussmetallisierungen (6) auf der Rückseite verwendet wird,
deren Basismaterial ausgewählt ist aus Aluminiumoxid, Glas,
HTCC, LTCC oder einem organischen Polymer.
17. Verfahren nach einem der Ansprüche 1-16,
bei dem für die Bumps ein Material hoher Festigkeit gewählt
wird, das beim Aufbringen der Folien (8) keine mechanische
Verformung zeigt.
18. Verwendung des Verfahrens nach einem der vorangehenden An-
sprüche zur Verkapselung von Oberflächenwellen-Bauelementen.
19. Verwendung des Verfahrens nach einem der vorangehenden An-
sprüche zur Verkapselung von Sensoren.
20. Verwendung des Verfahrens nach einem der vorangehenden An-
sprüche zur Verkapselung von optischen und insbesondere zu-
mindest teilweise lichtdurchlässigen Bauelementen, wobei ein
Träger aus Glas verwendet wird.

1/4

FIG 1

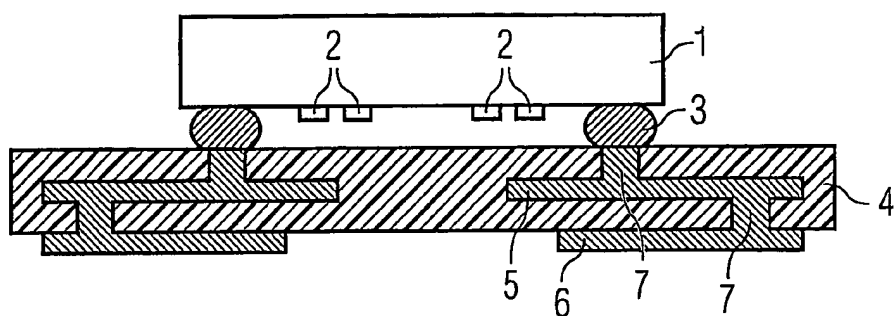


FIG 2

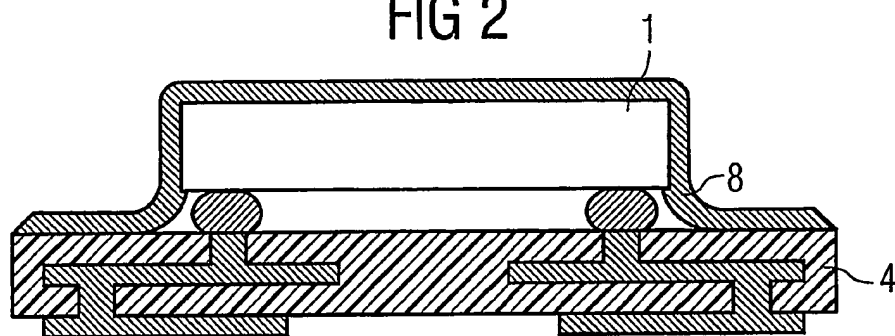


FIG 3

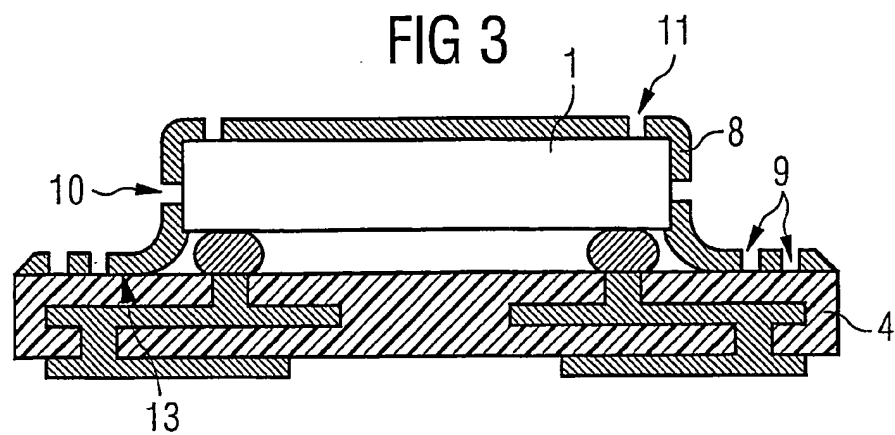


FIG 4

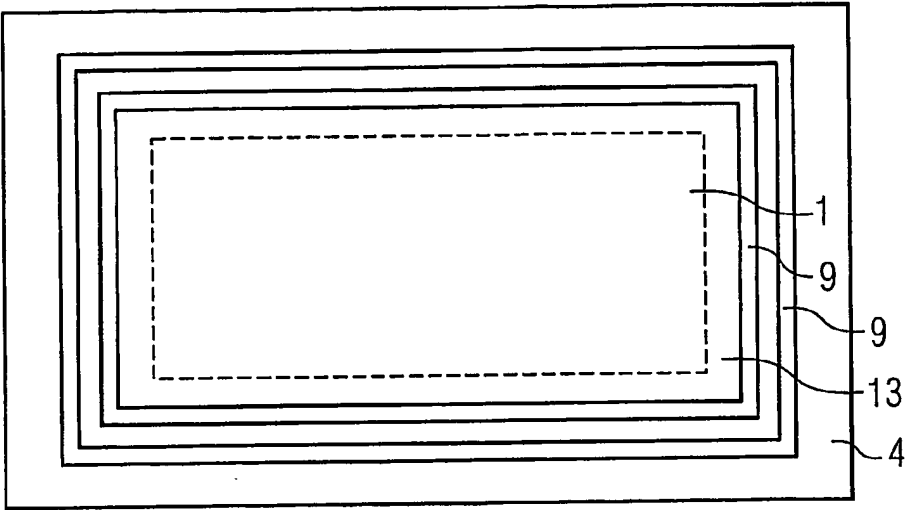
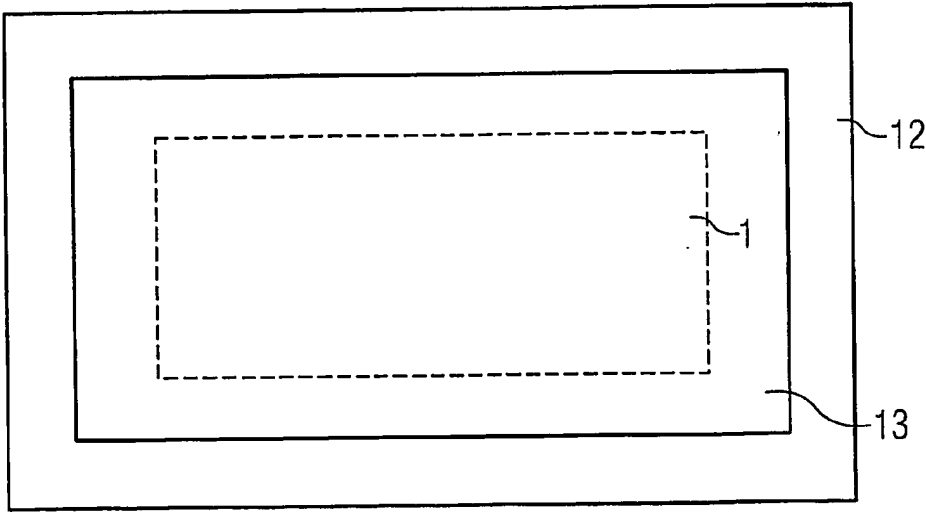


FIG 5



3/4

FIG 6

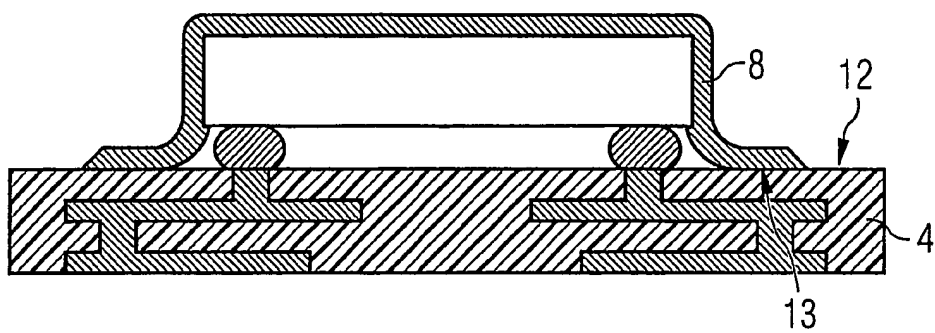


FIG 7

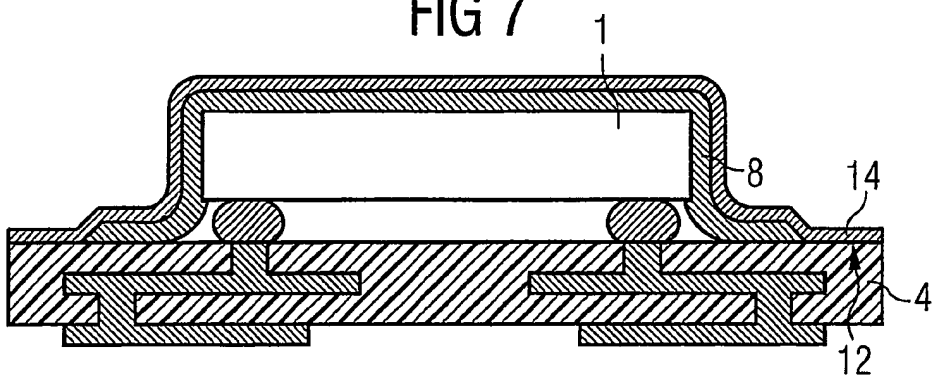
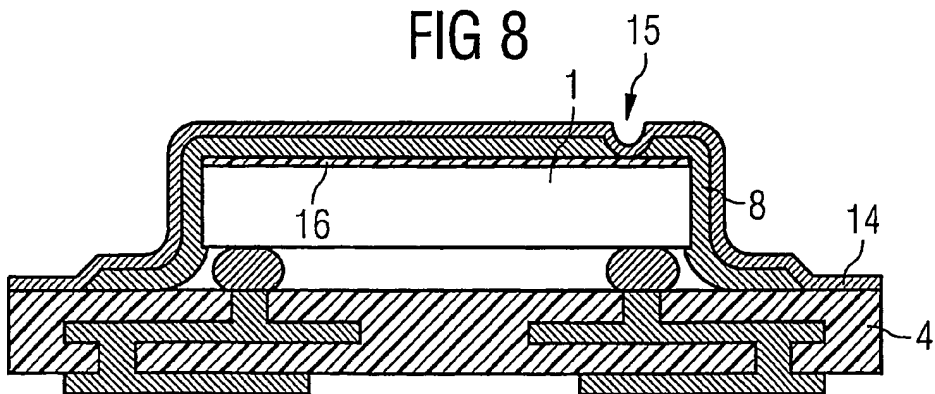


FIG 8



4/4

FIG 9

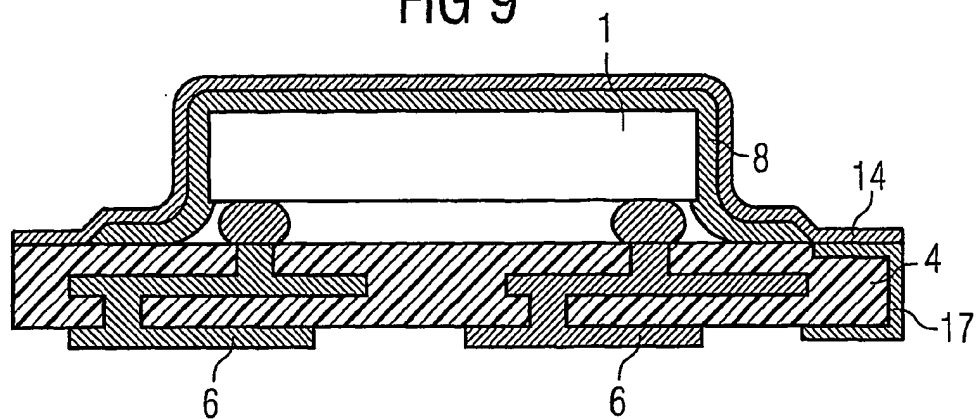


FIG 10

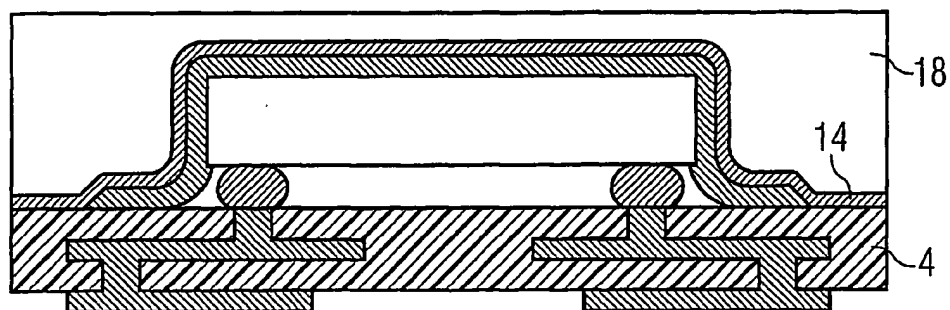


FIG 11

